

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-211194

⑪ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)9月2日

G 11 C 11/34
H 03 K 17/06
17/16
19/003
19/094

3 5 4

F-8522-5B
7190-5J
7190-5J
Z-8326-5J
C-8326-5J

審査請求 未請求 発明の数 1 (全9頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭62-44964

⑯ 出 願 昭62(1987)2月27日

⑰ 発 明 者 上 原 英 敬 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑰ 発 明 者 宮 本 三 平 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑰ 発 明 者 宮 脇 正 文 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑰ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑰ 代 理 人 弁理士 柿本 恭成

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

第1の電源電圧を降圧して第2の電源電圧を出力する電圧変換回路と、前記第2の電源電圧で駆動されこの第2の電源電圧と接地電位との間で変化する出力信号を出力する第1の回路系と、この第1の回路系の出力信号で同期がとられ前記第2の電源電圧で駆動される第2の回路系とを備えた半導体装置において、

前記第2の電源電圧で駆動され前記第1の回路系の出力信号に基づき前記接地電位と前記第2の電源電圧よりほぼ閾値電圧だけ高い電圧との間で振幅する制御信号を出力する制御回路と、

前記閾値電圧を持ち第1の端子に前記第1の電源電圧が印加され第2の端子が前記第2の回路系

の入力側に接続されその第1と第2の端子間が前記制御信号により導通制御される出力用トランジスタとを、

設けたことを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、外部印加電源電圧よりも低レベルの電圧で駆動する回路系を有する半導体装置に関するものである。

(従来の技術)

一般に半導体装置として、例えばダイナミック型随時読出し書き込み可能なメモリ(以下、DRAMという)等は、チップ内部の回路動作がすべて外部印加電源電圧により駆動される構造になっている。ところが、集積密度増大による半導体素子の微細化に伴ない、耐圧劣化が無視できなくなってきた。そこで、オンチップで電圧変換回路を設け、その電圧変換回路によりレベルを下げた内部電源電圧を生成し、その内部電源電圧でチップ内の回路を

駆動することにより半導体素子の信頼性を向上させるという技術が提案されるようになった。

従来、この種の技術としては、例えば第2図のようなものがあつた。以下、その構成を図を用いて説明する。

第2図は従来の半導体装置の一構成例を示すブロック図である。

この半導体装置は、外部から印加される第1の電源電圧VCC1を降圧して内部回路供給用の第2の電源電圧VCC2を生成する電圧変換回路1を有し、その電圧変換回路1の出力側に複数の回路系、例えば第1、第2の回路系2と、インバータ4とが接続されている。第1、第2の回路系2、3は、第2の電源電圧VCC2で駆動されるDRAH素子等からなる回路であり、それら両回路を同期させるために、第1の回路系2において第2の電源電圧VCC2と接地電位VSSとの間で変化する電圧V1を取り出し、その電圧V1をインバータ4で反転して電圧V2の形に変換し、その電圧V2で次段の第2の回路系3を駆動している。

るおそれがあつた。

本発明は前記従来技術が持っていた問題点として、第2の電源電圧ラインに対するノイズと充電速度の遅い点、およびCHOS回路例の直流バスの点について解決した半導体装置を提供するものである。

(問題点を解決するための手段)

本発明は前記問題点を解決するために、第1の電源電圧を降圧して第2の電源電圧を出力する電圧変換回路と、前記第2の電源電圧で駆動される第2の電源電圧と接地電位との間で変化する出力信号を出力する第1の回路系と、この第1の回路系の出力信号で同期がとられ前記第2の電源電圧で駆動される第2の回路系とを備えた半導体装置において、制御回路及び出力用トランジスタを設けたものである。ここで、制御回路は、第2の電源電圧で駆動され、第1の回路系の出力信号に基づき接地電位と第2の電源電圧よりほぼ間値電圧だけ高い電圧との間で振幅する制御信号を出力する回路である。出力用トランジスタは、前記間

(発明が解決しようとする問題点)

しかしながら、上記構成の半導体装置では、電圧変換回路1の内部インピーダンスが大きいため、回路系2、3の負荷が大きいと第2の電源電圧VCC2が低下してその電源電圧VCC2ラインに大きなノイズが発生し、その回路系2、3等に悪影響を及ぼすと共に、電源電圧VCC2ラインの充電速度が遅くなるおそれがあつた。また、半導体装置の消費電力を少なくするために、回路系2、3やインバータ4等を相補型MOSトランジスタ(以下、CHOSという)で構成した場合、そのCHOSの回路系においては、入出力の信号の振幅が駆動電圧と同じでないと直流パス(貫通電流)が生じるおそれがある。例えば、インバータ4をCHOSで構成した場合、その入出力の電圧V1、V2の振幅値は接地電位VSSと第2の電源電圧VCCとの間の幅であるが、駆動電圧である第2の電源電圧VCC2が前記のように低下すると、そのインバータ4の電源電圧VCC2側から接地側へ貫通電流が流れ、それによって消費電力の増大や、誤動作等といった悪影響が生じ

値電圧を持ち、第1の端子に第1の電源電圧が印加され第2の端子が第2の回路系の入力側に接続され、その第1と第2の端子間が前記制御により導通制御されるトランジスタである。

(作用)

本発明によれば、以上のように半導体装置を構成したので、制御回路は接地電位と第2の電源電圧よりほぼ間値電圧だけ高い電圧との間で振幅する制御信号を出力し、その制御信号で出力トランジスタをオン、オフ制御する。すると、出力トランジスタは第2の電源電圧ラインの電圧変動の影響を受けることなく、第2の電源電圧と等しい電圧を出力して第2の回路系を駆動する。そのため、第2の回路系における直流バスの防止が図れる。また、大容量の充電のために出力トランジスタには第1の電源電圧が印加されるため、第2の電源電圧ラインに生じるノイズ発生防止と、高速充電が行える。従って前記問題点を除去できるのである。

(実施例)

第1図は本発明の第1の実施例を示す半導体装置の構成図である。

この半導体装置は従来と同様に、外部から印加される第1の電源電圧VCC1を降圧して内部回路供給用の第2の電源電圧VCC2を生成する電圧変換回路10を有し、その電圧変換回路10の出力側と接地電位VSSとの間にはCHOS等で構成される複数の回路系、例えば出力端子11aを有する第1の回路系と入力端子12aを有する第2の回路系12とが接続されている。第1の回路系11は、第2の電源電圧VCC2と接地電位VSSとの間で変化する同期用の電圧V11を出力端子11aから出力する機能を有している。また、電圧変換回路10の出力側と接地電位VSSとの間には制御回路20が接続され、その制御回路20の出力側に電圧V12の出力用トランジスタ、例えばNチャネルHOSトランジスタ(以下、NHOSという)30とリセット用トランジスタ、例えばNHOS31とが接続されている。NHOS30と31は第1の電源電圧VCC1と接地電位VSSとの間に直列に接続され、そのNHOS30と31の接続点が第2の回路系12

のゲートに接続されている。ノードN1とN4にはコンデンサ充電用のNHOS25が接続され、そのNHOS25のゲートが第2の電源電圧VCC2に接続され、さらにその第2の電源電圧VCC2とノードN4との間にクランプ用のNHOS26が接続されている。

以上のように構成される半導体装置の動作を説明する。

まず、第1の電源電圧VCC1が電圧変換回路10及び出力用NHOS30に印加されると、電圧変換回路10は第1の電源電圧VCC1を降圧して第2の電源電圧VCC2を生成し、その電圧VCC2を回路系11、12及び制御回路20へ供給する。すると、回路系11は駆動して高レベル(以下、“H”という)が第2の電源電圧VCC2に、低レベル(以下、“L”という)が接地電位VSSとなる電圧V11を出力端子11aへ出力し、制御回路20へ供給する。

制御回路20へ入力された電圧V11が“H”(=VCC2)の場合、それが1段目のインバータ21で反転され、その出力側のノードN1が“L”(=VSS)となり、NHOS25を通してノードN4上の制

の入力端子12aに接続されている。

制御回路20は出力端子11aからの電圧V11を入力し、出力用NHOS30のゲートを制御する制御信号Vgとリセット用NHOS31のゲートを制御するリセット信号Vrとを生成する回路であり、PチャネルHOSトランジスタ(以下、PHOSという)21a, 22a, 23a及びNHOS21b, 22b, 23bでそれぞれ構成される信号遅延用の3段のインバータ21, 22, 23を有している。これらのインバータ21~23は第2の電源電圧VCC2と接地電位VSSとの間に接続されており、そのうち1段目のインバータ21は端子11aに接続され、そのインバータ21の出力側ノードN1に2段目のインバータ22が接続され、さらにそのインバータ22の出力側ノードN2に3段目のインバータ23が接続されている。3段目のインバータ23の出力側ノードN3には、ブートストラップ用のコンデンサ24を介して制御信号Vg出力用のノードN4が接続され、そのノードN4が出力用NHOS30のゲートに接続されている。ノードN2はリセット信号Vr取出し用のノードであり、リセット用NHOS31

のゲートに接続されている。ノードN1とN4にはコンデンサ充電用のNHOS25が接続され、そのNHOS25のゲートが第2の電源電圧VCC2に接続され、さらにその第2の電源電圧VCC2とノードN4との間にクランプ用のNHOS26が接続されている。

入力電圧V11が“L”(=VSS)の場合、それが1段目のインバータ21で反転され、その出力側ノードN1が“H”(=VCC2)となり、NHOS25及びノードN4を通してコンデンサ24が電圧(VCC2-Vt)にプリチャージされる。ここで、VtはNHOS25の閾値電圧である。なお、第1図中のHOSトランジスタは全て同一の閾値電圧Vtを有するものと仮定する。ノードN1が“H”になった後、それが2段目のインバータ22で反転され所定時間遅れてノードN2上のリセット信号Vrが“L”になると、リセット用NHOS31がオフ状態となる。その後、ノードN2

の“L”が3段目のインバータ23で反転され所定時間遅れてノードN3が“H”(=VCC2)になると、コンデンサ24を通してノードN4上の制御信号Vgが電圧(VCC2+ α)へと昇圧される。この α はコンデンサ24とそれに接続されたNMOS25、26等の容量とによって決まる電圧値である。制御電圧Vgが上昇して電圧(VCC2+Vt)になると、NMOS25がオフ状態になると共に、クランプ用のNMOS26がオン状態になり、その制御電圧Vgが電圧(VCC2+Vt)にクランプされる。すると、その制御電圧Vgでオン状態になっている出力用NMOS30の出力電圧V12が電圧VCC2(=Vg-Vt)まで充電される。

このように入力電圧V11が“H”(=VCC2)のとき、制御回路20から出力される制御信号Vgが“L”(=VSS)となって出力用NMOS30の出力電圧V12が“L”(=VSS)となり、また入力電圧V11が“L”(=VSS)のとき、制御回路20の制御信号Vgが“H”(=VCC+Vt)となって出力用NMOS30の出力電圧V12がH(=VCC2)となる。この出力電圧V12は入力端子12aを通して第2の回路系12

に入力され、その回路系12が駆動する。

第1の実施例では、制御信号Vgで制御される大容量の出力用NMOS30の充電に第1の電源電圧VCC1を用いるようにしたため、第2の回路系12の負荷容量が変動しても、第2の電源電圧VCC2ラインの電圧が変動せず、その第2の電源電圧VCC2ラインのノイズ発生を防止できると共に、高速充電が可能となる。ここで、出力用NMOS30及びリセット用NMOS31には第1の電源電圧VCC1が印加されるため、素子の微細化によりそのトランジスタの耐圧劣化が問題となるが、大電流を必要とするこの限られたトランジスタのみ耐圧を高く設定すれば何ら問題はなく、また集積度にもあまり影響しない。また、出力用NMOS30の充電時の電圧を(VCC2+Vt)に制御して出力電圧V12をVCC2レベルにしたので、第2の回路系12に駆動電圧として印加される第2の電源電圧VCC2との整合がとれ、それによって第2の回路系12をCMOSで構成した場合の直流バスを防止できる。

第3図は第2の実施例を示すもので、第1図の

半導体装置における制御回路20の他の構成例を示す回路図である。この制御回路では、第1図のコンデンサ充電用NMOS25の代りに、NMOS25-1、25-2、25-3を設けたものである。このような構成にすることにより、NMOS25-1のブートストラップ動作で、このプリチャージレベルを第1図のような(VCC2-Vt)からVCC2に上昇させることによってコンデンサ24の容量を小さくすることができる。

第4図は第3の実施例を示すもので、第1図の半導体装置における制御回路20の他の構成例を示す回路図である。この制御回路では、第3図においてノードN3を充電するPMOS23aをNMOS23a-1に置き換え、そのNMOS23a-1のゲートをノードN4に、そのドレインを第1の電源電圧VCC1に、そのソースをノードN3にそれぞれ接続している。このNMOS23a-1には第1の電源電圧VCC1が印加されるため、ノードN3に接続されたコンデンサ24等の負荷が大きいときでも、そのノードN3に対する十分な充電能力を発揮することができる。

なお、第3図及び第4図において、第1図のリ

セット用NMOS31を制御するためのリセット信号Vrは、第1図のように制御信号Vgの逆相が得られるノードN2から取り出してもよいし、あるいは他の信号を用いてもよい。同様に、第1図の回路のリセット信号VrもノードN2以外の信号を用いることができる。

第5図は第4の実施例を示すもので、第1図の半導体装置における制御回路20をNMOSで構成した回路図である。この制御回路は出力端子11aから入力される電圧V11の反転信号 ∇ 11を生成するインバータ40を有し、そのインバータ40の出力側に、NMOS41a、41bからなる1段目のインバータ41、NMOS42a、42bからなる2段目のインバータ42、及びNMOS43a、43bからなる3段目のインバータ43が接続されている。ここで、1段目インバータ41の出力側ノードN11は2段目インバータ42のNMOS42bのゲートに接続され、さらにその2段目インバータ42の出力側ノードN12が3段目インバータ43のNMOS43bのゲートに接続されている。3段目インバータ43の出力側ノードN13にはコンデ

ンサ44を介してノードN14が接続され、そのノードN14から制御信号Vgが出力される。ノード14とインバータ40の出力側との間にはNHOS45が接続され、同じくノードN14と接地電位VSSとの間にはNHOS46が接続されている。NHOS45のゲート側ノードN15とノードN12の間には、NHOS47が接続されている。また、ノード14と第2の電源電圧VCC2との間には、クランプ用のNHOS48が接続されている。なお、NHOS41b, 42a, 46の各ゲートには、リセット信号Vcrが入力される。

第6図(1)、(2)は第5図のタイミングチャートであり、同図(1)は入力である反転電圧 $\nabla 11$ の立上がりによるセット時の動作、同図(2)は入力である反転電圧 $\nabla 11$ の立下がりによるリセット時の動作をそれぞれ示している。

セット時を示す第6図(1)において、スタンバイ時には入力である反転電圧 $\nabla 11$ が“L”(=VSS)、リセット信号Vcrが“H”(=VCC2)になっており、先ずリセット信号Vcrが“L”(=VSS)になると、NHOS41b, 42a, 46がオフ状

ランパされる。

次に、リセット時を示す第6図(2)において、入力である反転電圧 $\nabla 11$ が“L”(=VSS)になると、NHOS41aがオフ状態になる。その後、リセット信号Vcrが“H”(=VCC2)になると、NHOS41b, 46を通してノードN11とノードN14上の制御信号Vgとが接地電位VSSレベルに放電されると共に、NHOS42aを通してノードN12が電圧(VCC2-Vt)レベルに充電される。これにより、NHOS43bを通してノードN13が接地電位VSSレベルに放電され、NHOS47を通してノードN15が電圧(VCC2-Vt)レベルに充電される。

このように制御回路をNHOSのみで構成しても、第1の実施例と同様の利点が得られる。同様に、PHOSのみで制御回路を構成することもできる。

第7図は第5の実施例を示すもので、第1図の半導体装置における出力側リセット回路の他の構成例を示す回路図である。この回路では、第1図のリセット用NHOS31に代えて2個のNHOS31-1、

31-2を直列に接続している。そして一方のNHOS31-1のゲートには制御信号Vgと逆相のリセット信号Vr1を供給し、他方のNHOS31-2のゲートには制御信号Vgと同相のリセット信号Vr2を供給する。なお、入力端子12aに接続されたコンデンサC1と、NHOS31-1と31-2の接続点に接続されたコンデンサC2とは、第2の回路系12内の容量を表わしており、それらのコンデンサC1とC2は同一容量値を有するものと仮定する。

第8図は第7図の動作を示すタイミングチャートである。

リセット時において、リセット信号Vr1を第2の電源電圧VCC2レベル、リセット信号Vr2を接地電位VSSレベルにすると、NHOS31-1がオン状態、NHOS31-2がオフ状態となり、出力電圧V12が2個のコンデンサC1, C2によって容量分割され、その出力電圧V12が $1/2 \cdot VCC2$ レベルとなる。このようにリセット時の出力電圧V12を、第1図のように接地電位VSSレベルとせず、 $1/2 \cdot VCC2$ レベルとしても、第1図の実施例と同様の利点が得ら

れる。このような出力電圧 V_{12} は、例えば $1/2 \cdot V_{CC2}$ プリチャージ方式を採用したDRAMで第2の回路系12を構成した場合に、そのDRAMにおけるPチャネルセンスアンプの活性化信号等に使用できる。なお、リセット時の出力電圧 V_{12} は、 V_{SS} レベルや $1/2 \cdot V_{CC2}$ レベル以外のレベルに設定することも可能である。

このように、本発明は図示の実施例に限定されず、種々の変形が可能である。

(発明の効果)

以上詳細に説明したように、本発明によれば制御信号を出力する制御回路と、第1の電源電圧が印加され前記制御信号で制御される出力用トランジスタとを設けたので、その出力用トランジスタに接続される負荷が変動しても、第2の電源電圧ラインの電圧が変動せず、それによってノイズ発生防止が図れると共に、出力用トランジスタには第1の電源電圧が印加されているため、高速充電が可能となる。さらに出力用トランジスタは、第2の電源電圧とほぼ等しい安定した電圧の出力

が可能となるため、その出力電圧で動作する第2の回路系における直流バス等の悪影響も的確に防止できる。

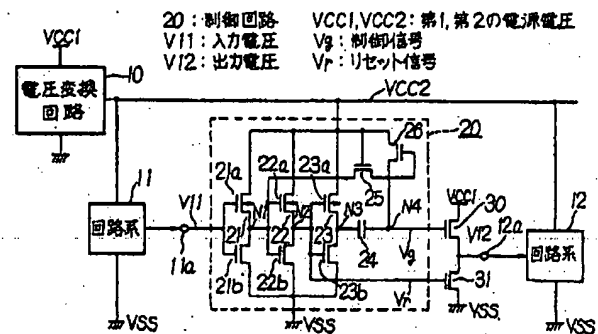
4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す半導体装置の構成図、第2図は従来の半導体装置の構成ブロック図、第3図、第4図、第5図は本発明の第2、第3、第4の実施例を示す第1図の他の制御回路図、第6図(1)、(2)は第5図のセット時とリセット時のタイミングチャート、第7図は本発明の第5の実施例を示す第1図の他の出力側リセット回路図、第8図は第7図のタイミングチャートである。

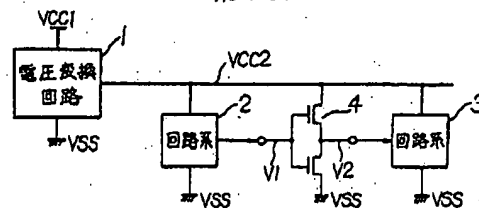
10……電圧変換回路、11、12……第1、第2の回路系、20……制御回路、30……出力用トランジスタ(NMOS)、31……リセット用トランジスタ(NMOS)、 V_{11} ……入力電圧、 V_{12} ……出力電圧、 V_{CC1} 、 V_{CC2} ……第1、第2の電源電圧、 V_g ……制御信号、 V_{cr} 、 V_r 、 V_{r1} 、 V_{r2} ……リセット信号、

V_{SS} ……接地電位。

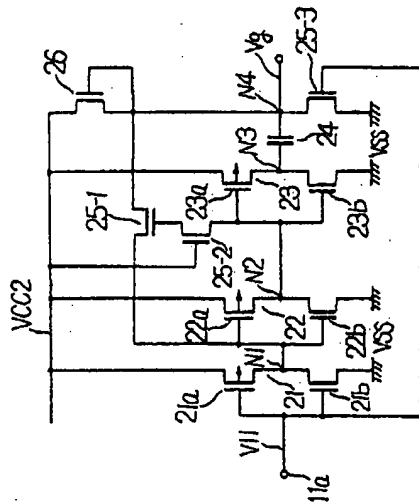
出願人代理人 柿 本 恭 成



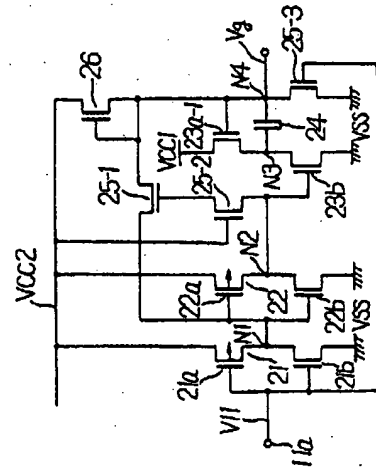
本発明の半導体装置
第1図



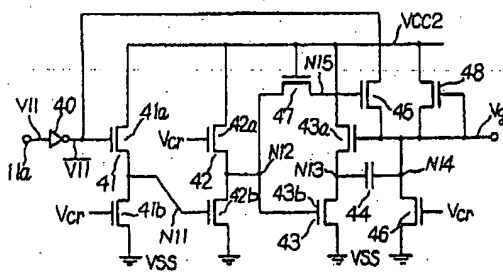
従来の半導体装置
第2図



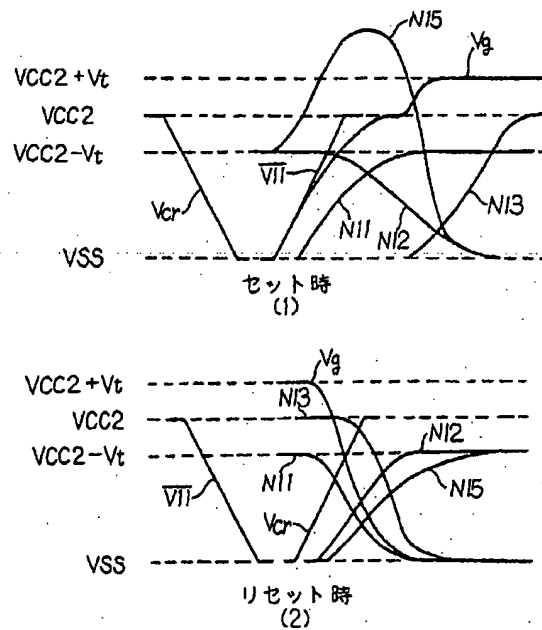
第1図の他の制御回路
第3図



第1図の他の制御回路
第4図



第1図の他の制御回路
第5図



第5図のタイミングチャート
第6図

昭和163年 5月23日

特許庁長官 小川 邦 夫 殿

1 事件の表示
昭和62年 特許願 第44964号

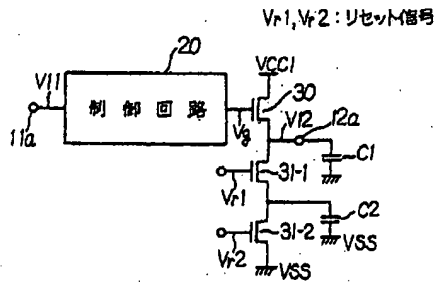
2 発明の名称
半導体装置

3 補正をする者 事件との関係 特許出願人
住 所 東京都港区虎ノ門1丁目7番12号
名 称 (029) 沖電気工業株式会社
代 表 者 橋 本 南 海 男

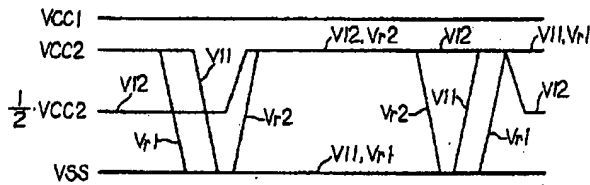
4 代理人 (郵便番号 101)
東京都千代田区神田駿河台二丁目1番16号
(電話東京(293)5463 代表)
8680 邦理士 柿 本 恭 一 成

5 補正の対象
明細書の「特許請求の範囲」の欄、「発明の詳細な説明」の欄、及び図面。

6 補正の内容



第1図の他の出力側リセット回路
第7図



第7図のタイミングチャート
第8図

- (1) 明細書の「特許請求の範囲」を別紙の通り補正する。
- (2) 明細書、4頁8行目～5頁1行目の「また、半導体装置の……おそれがあった。」を削除する。
- (3) 同、5頁4行目の「、および……直流バスの点」を削除する。
- (4) 同、6頁4行目の「トランジスタ」を、「Nチャネルトランジスタ」と補正する。
- (5) 同、6頁14行目の「直流バス」を「素子の信頼性低下」と補正する。
- (6) 同、11頁18行目の「VCC」を、「VCC2」と補正する。
- (7) 同、12頁13行目～19行目の「また、……防止できる。」を削除する。
- (8) 同、17頁14行目～16行目「同様に、……こともできる。」を削除する。
- (9) 同、20頁2行目の「直流バス等の悪影響」を、「素子の信頼性低下」と補正する。
- (10) 図面の第2図を別紙の通り補正する。

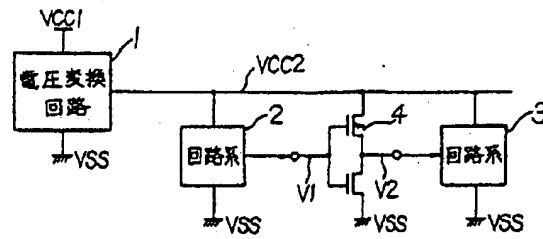
特許請求の範囲

第1の電源電圧を降圧して第2の電源電圧を出力する電圧変換回路と、前記第2の電源電圧で駆動されこの第2の電源電圧と接地電位との間で変化する出力信号を出力する第1の回路系と、この第1の回路系の出力信号で同期がとられ前記第2の電源電圧で駆動される第2の回路系とを備えた半導体装置において、

前記第2の電源電圧で駆動され前記第1の回路系の出力信号に基づき前記接地電位と前記第2の電源電圧よりほぼ閾値電圧だけ高い電圧との間で振幅する制御信号を出力する制御回路と。

前記閥値電圧を持ち第1の端子に前記第1の電源電圧が印加され第2の端子が前記第2の回路系の入力側に接続されその第1と第2の端子間が前記制御信号により導通制御される出力用Nチャネルトランジスタとを、

設けたことを特徴とする半導体装置。



従来の半導体装置

第2図

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成6年(1994)5月13日

【公開番号】特開昭63-211194
 【公開日】昭和63年(1988)9月2日
 【年通号数】公開特許公報63-2112
 【出願番号】特願昭62-44964
 【国際特許分類第5版】

G11C 11/407
 H03K 17/06 E 9184-5J
 17/16 L 9184-5J
 17/687
 19/003 Z 8941-5J
 19/094

【F I】

G11C 11/34 354 F 6741-5L
 H03K 17/687 F 8221-5J
 19/094 C 8941-5J

手続補正書

平成 5 年 6 月 24 日

特許庁長官 麻生 渡 殿

1 事件の表示
 昭和62年 特許願 第44964号

2 発明の名称
 半 導 体 装 置

3 補正をする者
 事件との関係 特許出願人
 住 所 東京都港区虎ノ門1丁目7番12号
 名 称 (028) 沖電気工業株式会社
 代表者 神 宮 司 順

4 代 理 人 (郵便番号 101)
 東京都千代田区外神田二丁目9番3号
 (電話東京(3253)8731代表)
 8880 井 理 士 徳 本 然 成

5 補正の対象
 明細書の「特許請求の範囲の欄」、及び「発明の詳細な説明の欄」

6 補正の内容
 明細書を別紙の通り補正する(補正の対象の欄に記載した事項以外は内容に変更なし)。

明 細 書

1. 発明の名称

半 導 体 装 置

2. 特許請求の範囲

1. 第1電源電位レベルの第1信号を第2電源電位レベルの第2信号に変換する電圧変換回路と、前記第2信号が与えられると共に、入力する信号に基づいて所定レベルの出力信号を出力する論理回路と、

前記第1信号が与えられると共に、前記論理回路の出力信号に基づいて、前記第2電源電位レベルの第3信号もしくは接地電位レベルの第4信号を出力する出力トランジスタとを、

有することを特徴とする半導体装置。

2. 前記所定レベルの出力信号は、前記接地電位レベルと、前記第2電源電位レベルよりも前記出力トランジスタの閾値電位レベル分だけ高いレベルとの間で、変動することを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、外部印加電源電圧よりも低レベルの電圧で駆動する回路系を有する半導体装置に関するものである。

(従来の技術)

一般に半導体装置として、例えばダイナミック型随時読出し書き込み可能なメモリ(以下、DRAMという)等は、チップ内部の回路動作がすべて外部印加電源電圧により駆動される構造になっている。ところが、集積密度増大による半導体素子の微細化に伴ない、耐圧劣化が無視できなくなってきた。そこで、オンチップで電圧変換回路を設け、その電圧変換回路によりレベルを下げた内部電源電圧を生成し、その内部電源電圧でチップ内の回路を駆動することにより半導体素子の信頼性を向上させるという技術が提案されるようになった。

従来、この種の技術としては、例えば第2図のようなものがあつた。以下、その構成を図を用いて説明する。

第2図は従来の半導体装置の一構成例を示すブロック図である。

この半導体装置は、外部から印加される第1の電源電圧VCC1を降圧して内部回路供給用の第2の電源電圧VCC2を生成する電圧変換回路1を有し、その電圧変換回路1の出力側に複数の回路系、例えば第1、第2の回路系2、3と、インバータ4とが接続されている。第1、第2の回路系2、3は、第2の電源電圧VCC2で駆動されるDRAM素子等からなる回路であり、それら両回路を同期させるために、第1の回路系2において第2の電源電圧VCC2と接地電位VSSとの間で変化する電圧V1を取り出し、その電圧V1をインバータ4で反転して電圧V2の形に変換し、その電圧V2で次段の第2の回路系3を駆動している。

(発明が解決しようとする問題点)

しかしながら、上記構成の半導体装置では、電圧変換回路1の内部インピーダンスが大きいため、回路系2、3の負荷が大きいと第2の電源電圧VCC2が低下してその電源電圧VCC2ラインに大きな

ノイズが発生し、その回路系2、3等に悪影響を及ぼすと共に、電源電圧VCC2ラインの充電速度が遅くなるおそれがあつた。

本発明は前記従来技術が持っていた問題点として、第2の電源電圧ラインに対するノイズと充電速度の違い点について解決した半導体装置を提供するものである。

(問題点を解決するための手段)

本発明は前記問題点を解決するために、半導体装置において、第1電源電位レベル(例えば、VCC1)の第1信号を第2電源電位レベル(例えば、VCC2)の第2信号に変換する電圧変換回路と、前記第2信号が与えられると共に、入力する信号(例えば、V11)に基づいて所定レベルの出力信号(例えば、V2)を出力する論理回路と、前記第1信号が与えられると共に、前記論理回路の出力信号に基づいて、前記第2電源電位レベルの第3信号もしくは接地電位レベルの第4信号を出力する出力トランジスタとを、有している。

前記所定レベルの出力信号は、例えば、前記接

地電位レベルと、前記第2電源電位レベルよりも前記出力トランジスタの閾値電位レベル分だけ高いレベルとの間で振幅する。

(作用)

本発明によれば、以上のように半導体装置を構成したので、論理回路は、例えば、接地電位レベルと、第2電源電位レベルよりも閾値電位レベル分だけ高いレベルとの間で、振幅する出力信号を出力し、その出力信号で出力トランジスタをオン、オフ制御する。すると、出力トランジスタは、第2電源電位レベルの電圧変動の影響を受けることなく、第2電源電位レベルの第3信号又は接地電位レベルの第4信号を出力して負荷回路を駆動する。そのため、負荷回路における素子の信頼性低下の防止が図れる。また、大容量の充電のために出力トランジスタには第1電源電位レベルの第1信号が印加されるため、第2電源電位レベルに生じるノイズ発生防止と、高速充電が行える。従って、前記問題点を除去できるのである。

(実施例)

第1図は本発明の第1の実施例を示す半導体装置の構成図である。

この半導体装置は従来と同様に、外部から印加される第1の電源電圧VCC1を降圧して内部回路供給用の第2の電源電圧VCC2を生成する電圧変換回路10を有し、その電圧変換回路10の出力側と接地電位VSSとの間にはCMOS等で構成される複数の回路系、例えば出力端子11aを有する第1の回路系と入力端子12aを有する第2の回路系12とが接続されている。第1の回路系11は、第2の電源電圧VCC2と接地電位VSSとの間で変化する同期用の電圧V11を出力端子11aから出力する機能を有している。また、電圧変換回路10の出力側と接地電位VSSとの間には、論理回路で構成された制御回路20が接続され、その制御回路20の出力側に、電圧V12の出力用トランジスタ、例えばNチャネルMOSトランジスタ（以下、NMOSという）30とリセット用トランジスタ、例えばPMOS31とが接続されている。NMOS30と31は第1の電源電圧VCC1と接地電位VSSとの間に直列に接続され、そのNMOS30と

31の接続点が第2の回路系12の入力端子12aに接続されている。

制御回路20は出力端子11aからの電圧V11を入力し、出力用NMOS30のゲートを制御する制御信号Vgとリセット用NMOS31のゲートを制御するリセット信号Vrとを生成する回路であり、PチャネルMOSトランジスタ（以下、PMOSという）21a, 22a, 23a及びNMOS21b, 22b, 23bでそれぞれ構成される信号遅延用の3段のインバータ21, 22, 23を有している。これらのインバータ21~23は第2の電源電圧VCC2と接地電位VSSとの間に接続されており、そのうち1段目のインバータ21は端子11aに接続され、そのインバータ21の出力側ノードN1に2段目のインバータ22が接続され、さらにそのインバータ22の出力側ノードN2に3段目のインバータ23が接続されている。3段目のインバータ23の出力側ノードN3には、ブートストラップ用のコンデンサ24を介して制御信号Vg出力用のノードN4が接続され、そのノードN4が出力用NMOS30のゲートに接続されている。ノードN2はリセット信

号Vr取出し用のノードであり、リセット用NMOS31のゲートに接続されている。ノードN1とN4にはコンデンサ充電用のNMOS25が接続され、そのNMOS25のゲートが第2の電源電圧VCC2に接続され、さらにその第2の電源電圧VCC2とノードN4との間にクラップ用のNMOS26が接続されている。

以上のように構成される半導体装置の動作を説明する。

先ず、第1の電源電圧VCC1が電圧変換回路10及び出力用NMOS30に印加されると、電圧変換回路10は第1の電源電圧VCC1を降圧して第2の電源電圧VCC2を生成し、その電圧VCC2を回路系11, 12及び制御回路20へ供給する。すると、回路系11は駆動して高レベル（以下、“H”という）が第2の電源電圧VCC2に、低レベル（以下、“L”という）が接地電位VSSとなる電圧V11を出力端子11aへ出力し、制御回路20へ供給する。

制御回路20へ入力された電圧V11が“H”（=VCC2）の場合、それが1段目のインバータ21で反転され、その出力側のノードN1が“L”

（=VSS）となり、NMOS25を通してノードN4上の制御信号Vgが“L”となって出力用NMOS30がオフ状態となる。ノードN1が“L”となった後、それが2段目のインバータ22で反転され所定時間遅れてノードN2上のリセット信号Vrが“H”となり、リセット用NMOS31がオン状態となって出力電圧V12が“L”（=VSS）にリセットされる。ノードN2が“H”となった後、それが3段目のインバータ23で反転され所定時間遅れてノードN3が“L”となる。

入力電圧V11が“L”（=VSS）の場合、それが1段目のインバータ21で反転され、その出力側ノードN1が“H”（=VCC2）となり、NMOS25及びノードN4を通してコンデンサ24が電圧（VCC2-Vt）にプリチャージされる。ここで、VtはNMOS25の閾値電圧である。なお、第1図中のMOSトランジスタは全て同一の閾値電圧Vtを有するものと仮定する。ノードN1が“H”になった後、それが2段目のインバータ22で反転され所定時間遅れてノードN2上のリセット信号Vrが“L”になると、リセッ

ト用NMOS31がオフ状態となる。その後、ノードN2の“L”が3段目のインバータ23で反転され所定時間遅れてノードN3が“H” (=VCC2) になると、コンデンサ24を通してノードN4上の制御信号Vgが電圧 (VCC2 + α) へと昇圧される。この α はコンデンサ24とそれに接続されたNMOS25、26等の容量とによって決まる電圧値である。制御信号Vgが上昇して電圧 (VCC2 + Vt) になると、NMOS25がオフ状態になると共に、クランプ用のNMOS26がオン状態になり、その制御信号Vgが電圧 (VCC2 + Vt) にクランプされる。すると、その制御信号Vgでオン状態になっている出力用NMOS30の出力電圧V12が電圧VCC2 (=Vg - Vt) まで充電される。

このように入力電圧V11が“H” (=VCC2) のとき、制御回路20から出力される制御信号Vgが“L” (=VSS) となって出力用NMOS30の出力電圧V12が“L” (=VSS) となり、また入力電圧V11が“L” (=VSS) のとき、制御回路20の制御信号Vgが“H” (=VCC2 + Vt) となって出力用NMOS30の出力電圧V12が“H” (=VCC2) となる。この

出力電圧V12は入力端子12aを通して第2の回路系12に入力され、その回路系12が駆動する。

第1の実施例では、制御信号Vgで制御される大容量の出力用NMOS30の充電に第1の電源電圧VCC1を用いるようにしたため、第2の回路系12の負荷容量が変動しても、第2の電源電圧VCC2ラインの電圧が変動せず、その第2の電源電圧VCC2ラインのノイズ発生を防止できると共に、高速充電が可能となる。ここで、出力用NMOS30及びリセット用NMOS31には第1の電源電圧VCC1が印加されるため、素子の微細化によりそのトランジスタの耐圧劣化が問題となるが、大電流を必要とするこの限られたトランジスタのみ耐圧を高く設定すれば何ら問題はなく、また集積度にもあまり影響しない。

第3図は第2の実施例を示すもので、第1図の半導体装置における制御回路20の他の構成例を示す回路図である。この制御回路では、第1図のコンデンサ充電用NMOS25の代りに、NMOS25-1、25-2、25-3を設けたものである。このような構成にすることにより、NMOS25-1のブートストラップ動作で、

このプリチャージレベルを第1図のような (VCC2 - Vt) からVCC2に上昇させることによってコンデンサ24の容量を小さくすることができる。

第4図は第3の実施例を示すもので、第1図の半導体装置における制御回路20の他の構成例を示す回路図である。この制御回路では、第3図においてノードN3を充電するPMOS23aをNMOS23a-1に置き換え、そのNMOS23a-1のゲートをノードN4に、そのドレインを第1の電源電圧VCC1に、そのソースをノードN3にそれぞれ接続している。このNMOS23a-1には第1の電源電圧VCC1が印加されるため、ノードN3に接続されたコンデンサ24等の負荷が大きいときでも、そのノードN3に対する十分な充電能力を発揮することができる。

なお、第2図及び第4図において、第1図のリセット用NMOS31を制御するためのリセット信号Vrは、第1図のように制御信号Vgの逆極が得られるノードN2から取り出してもよいし、あるいは他の信号を用いてもよい。同様に、第1図の回路のリセット信号VrもノードN2以外の信号を用いること

ができる。

第5図は第4の実施例を示すもので、第1図の半導体装置における制御回路20をNMOSで構成した回路図である。この制御回路は出力端子11aから入力される信号V11の反転信号 $\bar{V}11$ を生成するインバータ40を有し、そのインバータ40の出力側に、NMOS41a、41bからなる1段目のインバータ41、NMOS42a、42bからなる2段目のインバータ42、及びNMOS43a、43bからなる3段目のインバータ43が接続されている。ここで、1段目インバータ41の出力側ノードN11は2段目インバータ42のNMOS42bのゲートに接続され、さらにその2段目インバータ42の出力側ノードN12が3段目インバータ43のNMOS43bのゲートに接続されている。3段目インバータ43の出力側ノードN13にはコンデンサ44を介してノードN14が接続され、そのノードN14から制御信号Vgが出力される。ノードN14とインバータ40の出力側との間にはNMOS45が接続され、同じくノードN14と接地電位VSSとの間にはNMOS46が接続されている。NMOS45のゲート側ノード

FK15 とノードN12 との間には、NMOS47が接続されている。また、ノード14と第2の電源電圧VCC2との間には、クランプ用のNMOS48が接続されている。なお、NMOS41b, 42a, 46の各ゲートには、リセット信号Vcrが入力される。

第6図(1), (2)は第5図のタイミングチャートであり、同図(1)は入力である反転電圧 \bar{V}_{11} の立上がりによるセット時の動作、同図(2)は入力である反転電圧 \bar{V}_{11} の立下がりによるリセット時の動作をそれぞれ示している。

セット時を示す第6図(1)において、スタンバイ時には入力である反転電圧 \bar{V}_{11} が“L”(=VSS)、リセット信号Vcrが“H”(=VCC2)になっており、先ずリセット信号Vcrが“L”(=VSS)になると、NMOS41b, 42a, 46がオフ状態になる。次いで入力である反転電圧 \bar{V}_{11} が“H”(=VCC2)になると、NMOS45のセルフブースト動作によってノードN14上の制御信号Vgが電圧VCC2へと充電される。この時、ノードN12は電圧(VCC-Vt)レベルであり、NMOS43bがオンしている

ため、ノードN13は接地電位VSSレベルである。そのため、コンデンサ44にVCC2の電位差が充電される。一方、NMOS41aを通してノードN11が電圧(VCC2-Vt)レベルへ充電され、NMOS42bを通してノードN12の電圧がVSSレベルへ放電される。すると、NMOS43bはオフ状態となり、NMOS43aを通してノードN13が電圧VCC2まで充電され、コンデンサ44によってノードN14上の制御信号Vgが電圧(VCC2+ α)レベル方向へつき上げられる。ここで、 α はノードN13に接続されたコンデンサ44等の容量によって決まる電圧値である。この時、ノードN15はNMOS47を通して放電されているので、NMOS45はオフ状態である。制御信号Vgが電圧(VCC2+Vt)まで上昇すると、NMOS48がオン状態となり、その制御信号Vgが電圧(VCC2+Vt)にクランプされる。

次に、リセット時を示す第6図(2)において、入力である反転電圧 \bar{V}_{11} が“L”(=VSS)になると、NMOS41aがオフ状態になる。その後、リセット信号Vcrが“H”(=VCC2)になると、NMOS

41b, 46を通してノードN11とノードN14上の制御信号Vgとが接地電位VSSレベルに放電されると共に、NMOS42aを通してノードN12が電圧(VCC2-Vt)レベルに充電される。これにより、NMOS43bを通してノードN13が接地電位VSSレベルに放電され、NMOS47を通してノードN15が電圧(VCC2-Vt)レベルに充電される。

このように制御回路をNMOSのみで構成しても、第1の実施例と同様の利点が得られる。

第7図は第5の実施例を示すもので、第1図の半導体装置における出力側リセット回路の他の構成例を示す回路図である。この回路では、第1図のリセット用NMOS31に代えて2個のNMOS31-1, 31-2を直列に接続している。そして一方のNMOS31-1のゲートには制御信号Vgと逆相のリセット信号Vr1を供給し、他方のNMOS31-2のゲートには制御信号Vgと同相のリセット信号Vr2を供給する。なお、入力端子12aに接続されたコンデンサC1と、NMOS31-1と31-2の接続点に接続されたコンデンサC2とは、第2の回路系12内の容量を表わしており、

それらのコンデンサC1とC2は同一容量値を有するものと仮定する。

第8図は第7図の動作を示すタイミングチャートである。

リセット時において、リセット信号Vr1を第2の電源電圧VCC2レベル、リセット信号Vr2を接地電位VSSレベルにすると、NMOS31-1がオン状態、NMOS31-2がオフ状態となり、出力電圧V12が2個のコンデンサC1, C2によって容量分割され、その出力電圧V12が $1/2 \cdot VCC2$ レベルとなる。このようにリセット時の出力電圧V12を、第1図のように接地電位VSSレベルとせずに、 $1/2 \cdot VCC2$ レベルとしても、第1図の実施例と同様の利点が得られる。このような出力電圧V12は、例えば $2/1 \cdot VCC2$ プリチャージ方式を採用したDRAMで第2の回路系12を構成した場合に、そのDRAMにおけるPチャネルセンスアンプの活性化信号等に使用できる。なお、リセット時の出力電圧V12は、VSSレベルや $1/2 \cdot VCC2$ レベル以外のレベルに設定することも可能である。

このように、本発明は図示の実施例に限定されず、種々の変形が可能である。

(発明の効果)

以上詳細に説明したように、本発明によれば出力信号を出力する論理回路と、第1電源電位レベルの第1信号が印加され前記出力信号で制御される出力用トランジスタとを設けたので、その出力用トランジスタに接続される負荷が変動しても、第2電源電位レベルの電圧が変動せず、それによってノイズ発生の防止が図れると共に、出力用トランジスタには第1電源電位レベルの第1信号が印加されているため、高速充電が可能となる。さらに、出力用トランジスタは、第2電源電位レベルの第3信号又は接地電位レベルの第4信号という安定した電圧の出力が可能となるため、その出力電圧で動作する負荷回路における素子の信頼性低下も的確に防止できる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す半導体装置の構成図、第2図は従来の半導体装置の構成ブ

ロック図、第3図、第4図、第5図は本発明の第2、第3、第4の実施例を示す第1図の他の制御回路図、第6図(1)、(2)は第5図のセット時とリセット時のタイミングチャート、第7図は本発明の第5の実施例を示す第1図の他の出力リセット回路図、第8図は第7図のタイミングチャートである。

10……電圧変換回路、11、12……第1、第2の回路系、20……制御回路、30……出力用トランジスタ (NMOS)、31……リセット用トランジスタ (PMOS)、V₁₁ ……入力電圧、V₁₂ ……出力電圧、VCC1、VCC2……第1、第2の電源電圧、V_g……制御信号、V_{cr}、V_r、V_{r1}、V_{r2}……リセット信号、VSS ……接地電位。

出願人代理人 柿 本 義 成